

# 大电流高频同步 boost 电路研究

石易立, 许存昕

(南通航运职业技术学院 机电系, 江苏 南通 226010)

**摘要:**针对大电流高频环境,提出一种适用于大电流环境的高频同步 boost 电路,通过分析电路组成及其工作原理,用 Cadence 软件进行模拟仿真,实验结果表明:该电路的系统频率可达 500 kHz,在 3.7 V 输入,6 V/2.5 A 输出的情况下,效率达到 90.4 %,具有结构新颖、性能突出的优点。

**关键词:**boost 电路;大电流;同步整流

中图分类号:TN72

文献标识码:A

文章编号:1671-9891(2018)03-0040-04

## 0 引言

boost 电路在电子电路设计中有着重要的基础作用,特别是在各种电源电路、移动器件和集成电路中很常见。同时,boost 电路在移动电源、手机、太阳能充电等领域应用也十分广泛,高效率、高频率和小型化一直是其追求的设计目标。由于 boost 电路中包含电容电感等多种元件以及开关元件等非线性器件,对高性能的 boost 电路设计带来了诸多不确定性和难度,也使高效高频 boost 电路设计成为研究的热点。本研究提出了一种适用于大电流环境的高频同步 boost 电路,采用了一种新型结构使得电路的频率、功耗等基本指标达到要求,性能得到较大改善。

## 1 同步 boost 电路原理

同步 boost 电路基本原理如图 1 所示, Q1 为 NMOS 管, Q2 为 PMOS 管,它们各自带有体二极管。Q1、Q2 的栅极各自接 PWM 信号。

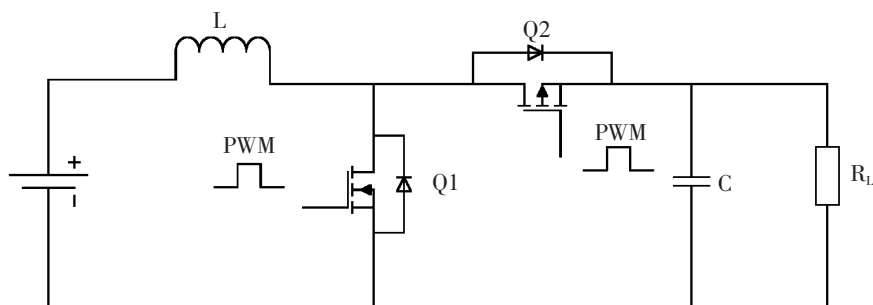


图 1 同步 boost 电路基本原理

Q1 栅极接高电平时, Q2 栅极也为高电平,这时 NMOS 管 Q1 导通, PMOS 管 Q2 截止。Q1 栅极接低电平时, Q2 栅极也为低电平,这时 NMOS 管 Q1 截止, PMOS 管 Q2 导通。Q1、Q2 保持交替导通。当 Q1 导通 Q2 截止时,电源通过 Q1 回路给电感 L 充电;当 Q1 截止 Q2 导通时,电感通过 Q2 回路给电容 C 充电。依次往复,最终实现升压的功能。<sup>[1]</sup>输出电压为:

$$V_o = V_i \times \frac{1}{1-D} \quad (1)$$

收稿日期:2018-04-05

作者简介:石易立(1983—),男,江苏南通人,南通航运职业技术学院机电系讲师,硕士。

## 2 同步 boost 电路驱动电路设计思路

如图 2 所示, Q7、Q8、R1、R2 组成反向器, Q7 为 PNP 管、Q8 为 NPN 管。当 PWM 信号为高电平时, Q7、R1 支路截止, Q7 呈现高阻态, PWM 高电平电流流经 R2、Q8, Q8 导通, 又因为 Q7 呈现高阻态, Q7、Q8 连接点输出低电平。当 PWM 信号为低电平时, R2、Q8 支路截止, Q8 呈现高阻态,  $V_{cc}$  电源电流流经 R1、Q7, Q7 导通, 又因为 Q8 呈现高阻态, Q7、Q8 连接点输出高电平。<sup>[2]</sup>

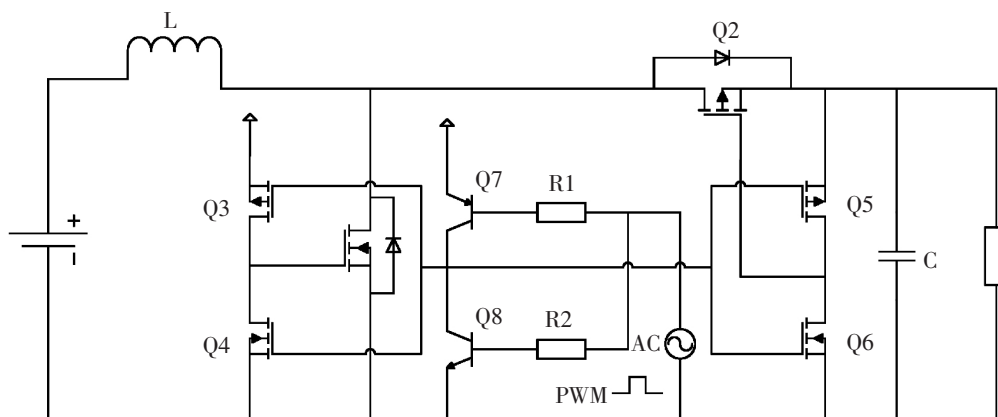


图 2 同步 boost 电路驱动电路

Q3、Q4、Q5、Q6 组成 Q1 和 Q2 的驱动管。Q3、Q5 为 PMOS 管 ,Q4、Q6 为 NMOS 管。当反向器输出高电平时 ,Q3 截止 ,Q4 导通 ,Q4 呈现出低电阻状态 ,这时 Q1 的栅源级电容通过 Q4 的低电阻以极快的速度放电 ,Q1 迅速截止。而此时 Q6 导通 ,Q5 截止 ,Q5 上汇聚高电压 ,并对 Q2 管的栅源级电容充电 ,Q2 迅速导通。同样的原理 ,当反向器输出低电平时 ,Q3 导通 ,Q4 截止 ,VCC 电源电流通过 Q3 对 Q1 栅源级电容充电 ,Q1 迅速导通。此时 Q6 截止 ,Q5 导通 ,Q5 呈现出低电阻状态 ,Q2 栅源级电容通过 Q5 放电 ,Q2 迅速截止。由此可见 图 2 结构可以实现 Q1、Q2 的交替导通和截止。

本研究电路设计关键在于  $Q_1$  导通的同时,  $Q_2$  能迅速截止; 反之  $Q_2$  导通的同时,  $Q_1$  能迅速截止。导通时间可以由  $Q_3$ 、 $Q_6$  的导通电流及  $Q_1$ 、 $Q_2$  的栅源级电容决定, 而截止时间则主要由  $Q_1$ 、 $Q_2$  的栅源级电容和  $Q_4$ 、 $Q_5$  的导通电阻共同决定放电时间。选取小导通电阻的  $Q_4$ 、 $Q_5$  管至关重要。<sup>[3]</sup>如图 3 所示,  $C_{ds}$  为漏源级电容,  $C_{gs}$  为栅源级电容,  $R_{ds}$  为 MOS 管导通电阻。当  $Q_3$ 、 $Q_6$  导通时, 导通电流对  $Q_1$ 、 $Q_2$  的栅源级电容  $C_{gs}$  充电,  $C_{gs}$  的大小直接决定了充电时间的快慢, 从而决定  $Q_1$ 、 $Q_2$  导通的速度。而当  $Q_3$ 、 $Q_6$  截止时,  $Q_4$ 、 $Q_5$  导通,  $Q_1$ 、 $Q_2$  的栅源级电容  $C_{gs}$  对  $Q_4$ 、 $Q_5$  导通电阻  $R_{ds}$  放电,  $Q_1$ 、 $Q_2$  的栅源级电容  $C_{gs}$  的大小和  $Q_4$ 、 $Q_5$  的导通电阻  $R_{ds}$  的大小决定的放电时间的快慢, 从而决定了  $Q_1$ 、 $Q_2$  截止的速度。所以, 在  $Q_1$ 、 $Q_2$  较小导通电阻  $R_{ds}$  确定的情况下, 选择小的  $Q_1$ 、 $Q_2$  栅源级电容  $C_{gs}$  和小的  $Q_4$ 、 $Q_5$  的导通电阻  $R_{ds}$  可以显著缩短导通截止时间, 从而快速提高频率。

另一方面,过高的频率会带来损耗的增加。高频率和小功耗一直是 boost 电路追求的目标。损耗来自于 Q1、Q2 管的内部功耗的增加,所以每一次导通截止都会带来一次功耗损失,频率越高,损耗越大。由于 Q1、Q2 管的源漏级之间同样存在电容  $C_{ds}$ ,而这部分电容的放电是通过 Q1、Q2 的导通电阻  $R_{ds}$  实现的。当 Q1、Q2 导通时,boost 电路电流迅速通过导通电阻  $R_{ds}$ ,而此时  $C_{ds}$  在 Q1、Q2 截止时所积累的电荷还未通过 Q1、Q2 导通电阻  $R_{ds}$  放电完成,这样就造成了 Q1、Q2 上有电流和电压同时存在的情况,功耗就随之产生。源漏级

电容  $C_{ds}$  上电压  $V_{ds}$  如图 4 所示。图 4 显示出  $V_{ds}$  在下降沿并不是直线下降,而是表现出一定的弧度,这可以解释为源漏级电容  $C_{ds}$  放电的结果,也符合电容放电时电压曲线的特征。所以,要减少功耗,就要减小 CDS 的放电时间使电压迅速降低。根据 MOS 管的原理,导通电阻  $R_{ds}$  在 MOS 参数确定的情况下由栅源级电压  $V_{gs}$  决定, $V_{gs}$  越高  $R_{ds}$  就越小,所以根据图 2 所示,就需要较高的电源电压。这里我们选取输出电压即为电源电压。但在集成电路制作时,可根据沟道参数等要素制作小导通电阻  $R_{ds}$  或者小源漏级电容  $C_{ds}$  的 MOS 管。<sup>[4]</sup>

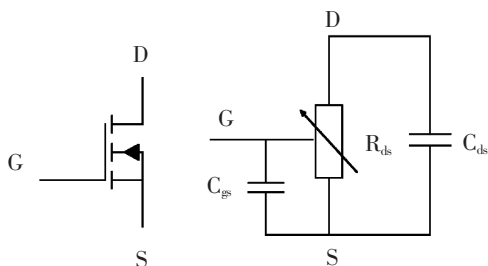
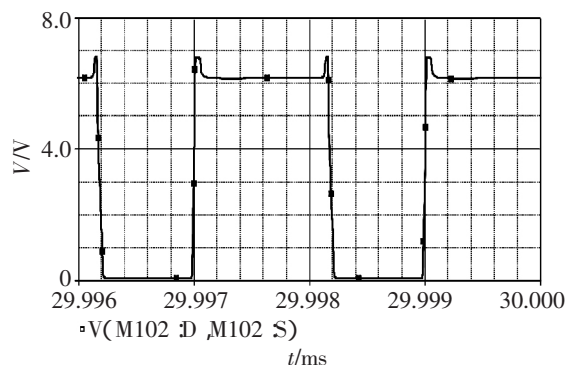


图 3 MOS 管阻容等效电路

图 4 Q1、Q2 管  $V_{ds}$  电压

### 3 同步 boost 电路模拟仿真

综合上述工作原理,最后用 Cadence 软件模拟上述高频同步 boost 电路的工作过程。模拟仿真电路采用图 2 所示电路图。Q1 管采用 IRF2807,为大功率 NMOS 管,Q2 管采用 IRF4905,为大功率 PMOS 管,选择上述两管可适用于大电流环境。Q3 管采用 IRF9Z10,为小功率 PMOS 管,Q4 管采用 IRF320,为小功率 NMOS 管,Q5 管采用 IRF9Z22,为小功率 PMOS 管,Q6 管采用 IRF320,为小功率 NMOS 管,Q7 管采用普通 PNP 管,Q8 管采用普通 NPN 管,以上小功率管都作为驱动电路的组成元件。R1、R2 电阻为 3 k $\Omega$ ,电感为 0.1 mH,电容为 0.1 mF,PWM 频率为 500 kHz,上升沿和下降沿分别都为 50 ns,占空比 D 设为 0.4,电源电压取 6 V,输入电压为 3.7 V。模拟结果如图 5~9 所示。

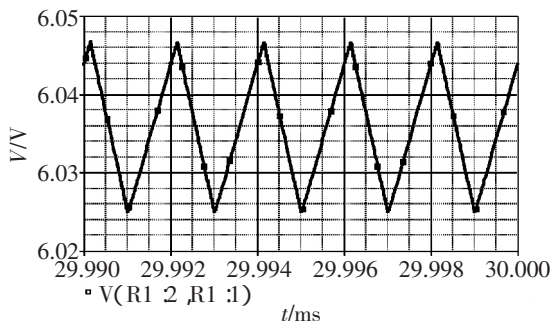


图 5 占空比为 0.4 时输出电压

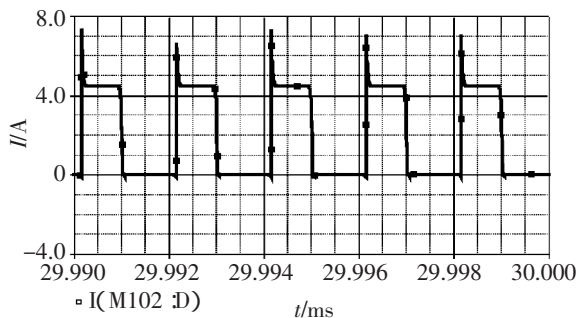


图 6 Q1 管电流

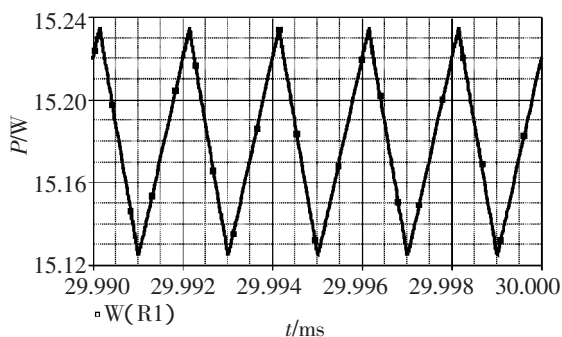


图 7 负载输出功率

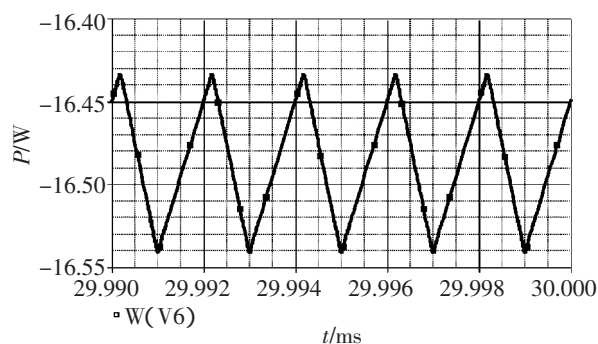
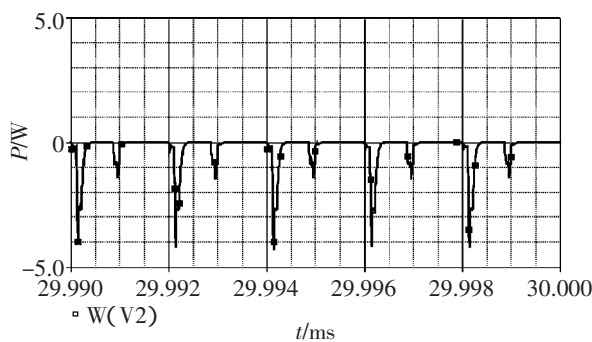


图 8 输入提供功率

图9 电源电压  $V_{cc}$  提供功率

由图5可看出输出平均电压为6.03 V, 波形连续, 在输入为3.7 V的情况下, 输出波纹较小, 较平滑, 波幅变化率为0.3%, 性能良好, 总体基本符合要求。图6显示出电路中的主要功率管Q1的电流波形。可以看到, Q1管导通时通过电流达到4.5 A, 截止时为0 A, 除在截止向导通转变时电流有一定的尖峰外, 其余时刻符合设计要求, 同步性较好。同时可以看到主要的功率损耗来自于Q1管电流的上升沿这个间隙期, 在这个间隙期内, 由于Q1管的D、S间电容放电的时间原因导致D、S间电压不能很快降下, 结合电流, 导致了功耗的增加。在今后的电路改进中应着重注意这一点。图7反映输出功率为15.18 W且波形连续平滑, 可计算出输出电流为2.5 A, 图8反映输入功率为16.49 W且波形连续平滑。图9显示整个驱动电路电源电压 $V_{cc}$ 的功耗。从图中可看出这部分损耗大部分时间保持在平均0.3 W左右, 对整体电路的损耗而言亦不可忽视。在今后的设计中应考虑优化。从上述分析可得出, 该同步boost电路能满足大电流高频率的场合。可算出在占空比 $D=0.4$ 时, 同步boost电路的转换效率为:

$$\eta = \frac{15.18 \text{ W}}{16.49 \text{ W} + 0.3 \text{ W}} \times 100\% = 90.4\% \quad (2)$$

#### 4 结束语

针对大电流高频环境对boost电路的要求, 提出一种同步boost电路。通过分析其各模块电路组成及其工作原理, 重点分析了如何实现高频电路的物理机理, 从而得到相应的电路设计方案。通过模拟仿真研究, 认为该电路在高频大电流情况下, 输出波形连续平滑, 内部电流电压量合理, 输出效率较高, 综合性能突出, 同时结构简单优化, 在大电流高频系统硬件电路中具有广阔的应用前景。

#### 参考文献:

- [1] 石易立. 一种高效同步 boost 电路[J]. 微型机与应用, 2016, (13): 34-36.
- [2] 康华光. 电子技术基础模拟部分[M]. 北京: 高等教育出版社, 2008.
- [3] 毕查德, 拉扎维. 模拟 CMOS 集成电路设计[M]. 陈贵灿, 程军, 张瑞智, 译. 西安: 西安交通大学出版社, 2003.
- [4] 曹京生. 电工技术[M]. 哈尔滨: 哈尔滨工程大学出版社, 2007.

(责任编辑: 顾力豪)

## Study on Large Current High Frequency Synchronous Boost Circuit

SHI Yi-li, XU Cun-xin

(Dept. of Mechatronics, Nantong Vocational & Technical Shipping College, Nantong 226010, China)

**Abstract:** A high frequency synchronous boost circuit suitable for large current environment is proposed. By analyzing the circuit composition and its working principle, the simulation is carried out with Cadence software. The experimental results show that the system frequency of the circuit can reach 500 kHz at 3.7 V input. In the case of 6V/2.5A output, the efficiency reaches 90.4%, which is featured by its novel structure and outstanding performance.

**Key words:** boost circuit; large current; synchronous rectification